

?S PN=JP 4356998

S1 1 PN=JP 4356998

?T S1/5

1/5/1

DIALOG(R)File 347:JAPI0

(c) 1999 JPO & JAPI0. All rts. reserv.

03991898 \*\*Image available\*\*  
MULTICHIP MODULE

PUB. NO.: 04-356998 [JP 4356998 A]

PUBLISHED: December 10, 1992 (19921210)

INVENTOR(s): MARUYAMA HITOSHI

NAGAYA FUMIJI

APPLICANT(s): IBIDEN CO LTD [000015] (A Japanese Company or Corporation).  
JP (Japan)

APPL. NO.: 03-157738 [JP 91157738]

FILED: June 01, 1991 (19910601)

INTL CLASS: [5] H05K-003/46; H01L-023/52; H01L-025/04; H01L-025/18

JAPI0 CLASS: 42.1 (ELECTRONICS -- Electronic Components); 42.2

(ELECTRONICS -- Solid State Components)

JOURNAL: Section: E. Section No. 1359, Vol. 17, No. 223, Pg. 137, May  
07, 1993 (19930507)

#### ABSTRACT

PURPOSE: To materialize high-density mounting of electronic parts by connecting a thin built-in electronic part to an inside conductor circuit besides the outside conductor circuit of a multilayer printed wiring board.

CONSTITUTION: A recess 17 is made in an inner layer substrate 12 being the inside insulating layer, and a chip capacitor 16 is placed upside down, and is soldered to an inner conductor circuit 13. And two sheets of prepreg adhesive layers are stacked and pressed as inter-layer insulating materials, respectively, thus a chip capacitor 16 is built in the multilayer wiring board 10. Hereby, the overall thickness of the multilayer printed wiring board can be made thin to the utmost and besides the adhesion between the layers can be made enough, so high-density of electronic parts can be materialized.

特開平4-356998

(43) 公開日 平成4年(1992)12月10日

(51) Int.Cl.<sup>3</sup>

H 0 5 K 3/46

H 0 1 L 23/52

25/04

識別記号

Q 6921-4E

7220-4M

7220-4M

F I

H 0 1 L 23/ 52

25/ 04

C

Z

技術表示面所

審査請求 未請求 請求項の数1(全 4 頁) 最終頁に続く

(21) 出願番号 特願平3-157738

(22) 出願日 平成3年(1991)6月1日

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 丸山 仁

岐阜県大垣市河間町3丁目200番地 イビ

デン株式会社河間工場内

(72) 発明者 長屋 不三二

岐阜県大垣市河間町3丁目200番地 イビ

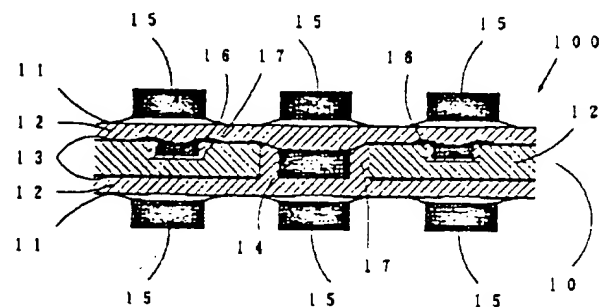
デン株式会社河間工場内

(54) 【発明の名称】 マルチチップモジュール

(57) 【要約】

【目的】 多層プリント配線板の外部導体回路上の他にその内部導体回路に薄型の電子部品を内蔵接続させることにより、電子部品の高密度実装化を実現する。

【構成】 多層プリント配線板10に多数の電子部品14、15、16を搭載実装したマルチチップモジュール100であって、多層プリント配線板10の外部導体回路11上に電子部品15を搭載実装するとともに、多層プリント配線板10の内部絶縁層12間に薄型の電子部品14、16を載置し且つ内部導体回路13に電気的に接続させたマルチチップモジュール100において、内部絶縁層12に薄型の電子部品14、16を収納するための凹部もしくは開口17を設けるとともに、凹部もしくは開口17と薄型の電子部品14、16の隙間を多層プリント配線板10のプリプレグ接着剤により充填させた。



## 【特許請求の範囲】

【請求項1】 多層プリント配線板に多数の電子部品を搭載実装したマルチチップモジュールであって、前記多層プリント配線板の外部導体回路上に電子部品を搭載実装するとともに、前記多層プリント配線板の内部絶縁層間に薄型の電子部品を載置し且つ内部導体回路に電気的に接続させたマルチチップモジュールにおいて、内部絶縁層に前記薄型の電子部品を収納するための凹部もしくは開口を設けるとともに、その凹部もしくは開口と前記薄型の電子部品の隙間を前記多層プリント配線板のプリ  
10 プレグ接着剤により充填させたことを特徴とするマルチチップモジュール。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、多層プリント配線板に多数の電子部品を搭載実装したマルチチップモジュールに関し、特に外部導体回路上の他にその内部導体回路に電子部品を内蔵接続させたマルチチップモジュールに関する。

## 【0002】

【従来の技術】 従来、両面または多層プリント配線板を使った高密度実装への取組が種々なされてきている。それは、ハイブリッドテクノロジーの中で電子部品を小型化し、そしてその電子部品を高密度に実装する技術である。そして、当初はハイブリッドICといった部品レベルに始まり、近年では携帯用オーディオやビデオカメラ等の電子回路全体にこの高密度実装技術が駆使され、電子機器の小型化が進められているのである。

【0003】 一方、高密度実装を行うためのプリント配線板としては、導体回路の微細化と基板の薄型多層化により高密度配線を実現してきた。現在では、0.05mmまでの微細導体回路と、0.1mm厚さの内層基板と0.1mm厚さのプリプレグ接着層の組合せによる0.5mm厚さ4層基板が量産されている。

【0004】 しかしながら、近年ではさらに高密度実装を進めることが要求されてきており、プリント配線板表面のみに電子部品を実装するだけではなく、プリント配線板の内部導体回路間に主に受動部品を内蔵させることが要求されたのである。そして、内部導体回路間に印刷によるカーボン抵抗やニッケルめっき抵抗等の抵抗体入  
40 れることがまず検討され、さらにはコンデンサを内蔵させることが試みられた。しかし、プリント配線板にカーボン抵抗を印刷したものは抵抗値変動が大きかったり、ニッケル抵抗やコンデンサを形成するにはコストが多かったりしたため、量産にはやはり取り入れにくいものであった。

【0005】 また、近年急速に小型化の進んだチップ部品を内蔵させる検討も進められた。1005タイプのチップ部品では、0.5mm幅の1.0mm長さで0.35mm厚さのチップ抵抗が製造されており、また0.5  
50

mm幅の1.0mm長さで0.5mm厚さのチップセラミックコンデンサも作られている。この小型チップ部品をプリント配線板の層間に内蔵させるのである。

【0006】 しかしながら、1005タイプのチップ部品を内蔵させるにせよ、厚さが0.35~0.5mmと層間絶縁材であるプリプレグ厚さ0.1mmよりも随分厚く、多層プリント配線板として積層一体化するためにはプリプレグを複数枚使用し厚くして用いなければならなかった。それでもチップ部品周辺の樹脂量が不足して、層間接着が不十分であったり、ポイドが残ったりし、また多層プリント配線板全体が厚いものとなり高密度実装の考え方に逆行することになったのである。

【0007】 さらに、多層プリント配線板として、内層基板とプリプレグを積層接着させるためには、内層基板上の内部導体回路表面を酸化第2銅化する黒化処理やその酸化銅を還元した粗化面としなければならず、また、この粗化面は高熱に弱く容易に酸化還元されやすいものであり、チップ部品や薄型パッケージICを半田づけするときの熱の影響をどうするかが大きな問題であったのである。

## 【0008】

【発明が解決しようとする課題】 本発明は、以上のような問題を解決するためになされたものであり、その解決しようとする課題は、薄型のチップ部品や薄型パッケージICを内蔵させたときに多層プリント配線板全体の厚さを極力薄く且つ層間の接着を十分なものとするところである。そして、本発明の目的とするところは、多層プリント配線板の外部導体回路上の他にその内部導体回路に薄型の電子部品を内蔵接続させることにより、電子部品  
30 の高密度実装化を実現することにある。

## 【0009】

【課題を解決するための手段】 以上の課題を解決するために本発明の採った手段は、実施例に使用する符号を付して説明すると、「多層プリント配線板10に多数の電子部品14、15、16を搭載実装したマルチチップモジュール100であって、多層プリント配線板10の外部導体回路11上に電子部品15を搭載実装するとともに、多層プリント配線板10の内部絶縁層12間に薄型の電子部品14、16を載置し且つ内部導体回路13に電気的に接続させたマルチチップモジュール100において、内部絶縁層12に薄型の電子部品14、16を収納するための凹部もしくは開口17を設けるとともに、凹部もしくは開口17と薄型の電子部品14、16の隙間を多層プリント配線板10のプリプレグ接着剤により充填させたことを特徴とするマルチチップモジュール100。」である。

## 【0010】

【作用】 以上のような構成のマルチチップモジュール100においては、内部絶縁層12に薄型の電子部品14、16を収納するための凹部もしくは開口17が設け  
50

であるため、薄型の電子部品14、16の厚さが吸収できるようになっているのである。従って、内部絶縁層12や内部導体回路13は薄型の電子部品14、16を内蔵させたことによる大きな厚さの膨らみがなくならかな平坦状になっているのである。また、凹部もしくは開口17と薄型の電子部品14、16の隙間は多層プリント配線板10のプリブレグ接着剤により充填させるのであるため、内部絶縁層12や内部導体回路13の周辺とくに薄型の電子部品14、16の周辺にはボイド残りは存在していないのである。そして、薄型の電子部品14、16の周辺はなだらかな平坦状であるため、プリブレグ接着剤による充填は樹脂不足とならないのである。

【0011】

【実施例】次に、本発明を図面に示した各実施例に従って詳細に説明する。

【0012】図1には、本発明のマルチチップモジュール100に係わる1実施例が示してある。多層プリント配線板10の両面の外部導体回路11上には薄型パッケージIC15が複数搭載実装してある。薄型パッケージIC15はこの実施例ではTAB (Tape Automated Bonding) パッケージである。TABのほかにトランスファーモールドしたTSOP (Thin Small Outline Package) が高密度薄型実装に適している。そして多層プリント配線板10の内部絶縁層12間には薄型のチップコンデンサ16が載置され内部導体回路13に電氣的に接続してある。この実施例では、内部絶縁層である内層基板12に座グリによる凹部17を形成し、そこに表裏逆向きにしたチップコンデンサ16を載置し、内部導体回路13に半田づけを行った。そして、0.1mm厚みのプリブレグ接着層を2枚各々層間絶縁材として積層プレスして、多層プリント配線板10にチップコンデンサ16を内蔵したものを得た。ここで得た多層プリント配線板10にチップコンデンサ16を内蔵したものは、内部絶縁層12にボイド残りは全くなく、接着強度も充分であった。また、この後多層プリント配線板10の外部導体回路11上に電子部品15を搭載接続してマルチチップモジュール100を得た。

【0013】また、内部導体回路13の表面処理および電子部品16の半田づけは、望ましくは次のようにするとよい。まづ内部導体回路13の表面処理は、電子部品16との接続端子部(図示しない)はニッケル及び金メッキを行い、次いで黒化処理を行う。ニッケル及び金メッキは接続端子部のみにについて行うため、その部分を除いてメッキレジストでマスクし、ニッケル及び金メッキを行うのである。そして、黒化処理を行えば、金メッキを行った部分は酸化を受けないので、その部分以外の内部導体回路13上に黒化処理が施されるのである。

【0014】次に、電子部品16の半田づけは、前述した凹部もしくは開口17に電子部品16を載置し、電子

部品16の外部接続端子(図示しない)の一部と内部導体回路13の接続端子に半田ペーストを塗布し、半田をリフロー溶融させて半田づけを行えばよい。ここで、注意を要するのは黒化処理部分が熱に弱いことであり、黒化処理部分に高熱をかけないことが重要である。そのために、リフロー溶融ではヒーターブロック、パルスツール、レーザー光等による部分加熱の方法もしくは低融点半田ペーストを使った低温リフローが望ましい。低融点半田ペーストとしてはビスマス半田やインジウム半田で融点が130~180℃程度のものが望ましい。

【0015】図2には、本発明のマルチチップモジュール100に係わる別の実施例が示してある。図2の実施例の図1の実施例との違いは、内部絶縁層である内層基板12に金型による打抜きもしくは切削加工により開口17を形成し、そこに薄型のパッケージIC14を載置し内部導体回路13に接続した点である。薄型のパッケージIC14としては前述したTABやTSOPパッケージが望ましい。また、薄型のパッケージIC14の代わりにベアチップICをフリップチップ実装する転用も容易である。その場合は、内部絶縁層である内層基板12に開口は設けず、内層基板12上にベアチップICをフリップチップ実装し、その部分の層間絶縁材であるプリブレグに開口17を設けた。

【0016】図3の実施例は、チップコンデンサやチップ抵抗等のチップ部品16と薄型パッケージIC14を内部絶縁層12間に混在させて内蔵したものであり、詳細は省略する。

【0017】

【発明の効果】以上詳述した通り、本発明に係わるマルチチップモジュールにあっては、薄型のチップ部品や薄型パッケージICを内蔵させたときに多層プリント配線板全体の厚さを極力薄く且つ層間の接着を充分なものとするができる。従って、多層プリント配線板の外部導体回路上の他にその内部導体回路に薄型の電子部品を内蔵接続させることができ、電子部品の高密度実装化が実現できるのである。

【図面の簡単な説明】

【図1】本発明に係わるマルチチップモジュールの1実施例を示す断面図である。

【図2】本発明に係わるマルチチップモジュールの別の実施例を示す断面図である。

【図3】本発明に係わるマルチチップモジュールの更に別の実施例を示す断面図である。

【図4】従来のマルチチップモジュールを示す断面図である。

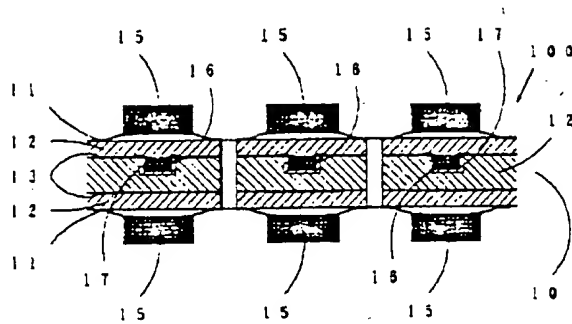
【符号の説明】

- 10 多層プリント配線板
- 11 外部導体回路
- 12 内部絶縁層
- 13 内部導体回路

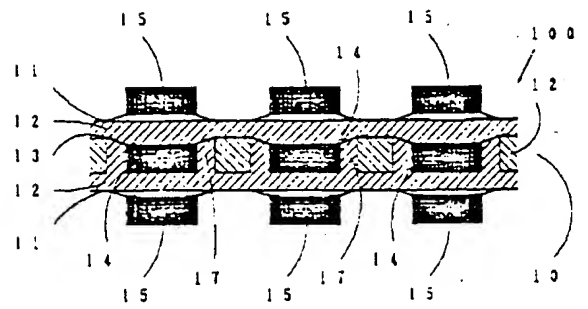
14 薄型パッケージIC  
15 電子部品  
16 チップ部品

17 凹部又は開口  
100 マルチチップモジュール

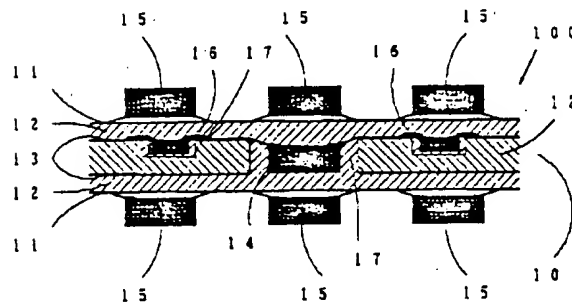
【図1】



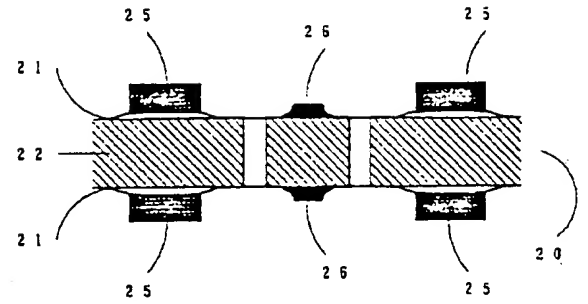
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 5

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 25/18